

SJ

中华人民共和国电子行业军用标准

FL 6130

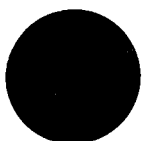
SJ 20954—2006

集成电路锁定试验

Integrated circuits latch-up test

2006-08-07 发布

2006-12-30 实施



中华人民共和国信息产业部 批准

前 言

本标准由信息产业部电子第四研究所归口。

本标准起草单位：信息产业部电子第四研究所。

本标准起草人：李锬、李燕荣。

集成电路锁定试验

1 范围

1.1 目的

本标准规定了集成电路（IC）的电流锁定和过压锁定的试验方法。

本标准的目的是建立测试IC锁定试验的方法，用来判断集成电路锁定特性并确定锁定的失效判据。锁定敏感性对于决定产品可靠性、最小无故障率（MTF）和过电应力失效（EOS）非常重要。

本试验方法适用于NMOS、CMOS、双极以及各种使用此类工艺的产品。当器件被置于该试验方法下出现锁定时，表明器件电性能失效，与器件特殊结构无关。

1.2 分类

锁定试验按测试温度分类。锁定试验分类如下：

I类 — 在室温下进行的锁定试验。

II类 — 在器件最高工作温度下进行的锁定试验。

如果未规定分类，一般采用I类试验。

注：高温时抗锁定的能力降低，在高温下工作的器件推荐使用II类试验。

1.3 等级

按锁定试验中失效判据，失效等级分为：

A级 — 失效判据符合表1。

B级 — 由生产商提供的特定失效判据。

2 引用文件

下列文件中的有关条款通过引用而成为本标准的条款。凡注日期或版次的引用文件，其后的任何修改单（不包括勘误的内容）或修订版本都不适用于本标准，但提倡使用本标准的各方探讨使用其最新版本的可能性。凡不注日期或版次的引用文件，其最新版本适用于本标准。

GB/T 17574 半导体器件 集成电路 第2部分：数字集成电路

3 术语和定义

3.1

冷却时间 cool-down time

指连续的触发脉冲之间的时间，或切断电源电压至下个触发脉冲之间的时间（见图2、图3、图4和表2）。

3.2

被测器件(DUT) device under test

被试验的器件。

3.3

地 GND

被测器件的公共地或零电位。

注1：接地引脚不进行锁定试验。

注2：有时称接地引脚为VSS。